



D1

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Offenlegungsschrift  
10 DE 199 57 810 A 1

51 Int. Cl. 7:  
G 06 F 12/08

21 Aktenzeichen: 199 57 810.9  
22 Anmeldetag: 1. 12. 1999  
43 Offenlegungstag: 7. 9. 2000

DE 199 57 810 A 1

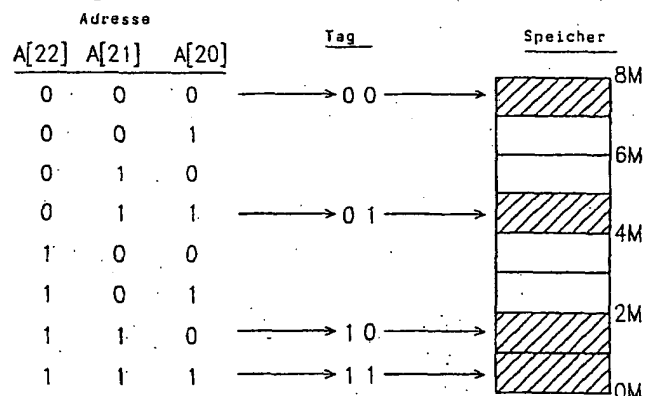
30 Unionspriorität:  
88103217 03. 03. 1999 TW  
71 Anmelder:  
VIA Technologies, Inc., Hsin-Tien, Taipeh/T'ai-pei,  
TW  
74 Vertreter:  
Viering, Jentschura & Partner, 80538 München

72 Erfinder:  
Lai, Jiin, Taipei, TW; Chen, Chien-Yu, Taipei, TW

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

54 Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung

57 Ein Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung wählt eine Anzahl von bestimmten Bits aus einer Speicheradresse aus einem Speicherraum aus und verwendet die ausgewählten Bits als Tag. Das Tag wird dann durch ein benutzerdefiniertes Codierungsprogramm codiert, so daß eine Konversion gebildet wird, deren Format mit dem Datenformat einer Tag-Abbildungstafel kompatibel ist. Falls die Konversion eines Tag auf eines der Tags paßt, wird der entsprechende Speicherplatz als ein cachebarer Speicherplatz definiert. Durch ein geeignetes Definieren des Codierungsprogrammes ist es mittels des erfindungsgemäßen Verfahrens möglich, cachebare Speicherplätze verstreut innerhalb des Systemspeichers anzuordnen, entsprechend den Abwägungen des Benutzers, so daß die Bereiche, z. B. der oberste und der unterste Bereich des Systemspeichers, auf die am häufigsten zugegriffenen wird, abgedeckt sind.



DE 199 57 810 A 1

Die Erfindung betrifft ein Verfahren zum Zugreifen auf einen Speicher und insbesondere ein Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung.

Eine herkömmliche Cache-Speicher-Einrichtung 110 eines Computersystems besteht, wie in Fig. 1 gezeigt ist, aus einem Cache-Speicher 111 und einer Cache-Speicher-Steuerschaltung 112. Zusätzlich sind in dem Computersystem ein Systemspeicher 140 und eine Zentraleinheit (CPU) 120 vorgesehen, wobei der Datentransfer zwischen der CPU 120 und dem Systemspeicher 140 durch ein Bus-System und die Cache-Speicher-Einrichtung 110 hindurch geschieht. Die Cache-Speicher-Steuerschaltung 112 der Cache-Speicher-Einrichtung 110 steuert den Zugriff auf den Cache-Speicher 111 und bedient außerdem den Betrieb der gesamten Cache-Speicher-Einrichtung 110. Der Cache-Speicher 111 weist ferner einen Daten-RAM 113 und einen Tag-RAM 114 auf. Der Daten-RAM 113 speichert einen Teil der im System-Speicher 140 abgespeicherten Daten, und der Tag-RAM 114 speichert Daten, die den Adreßinformationen der im Daten-RAM 113 abgespeicherten Daten entsprechen. Darüberhinaus weist jedes Tag ein schmutziges Bit (dirty bit) zum Anzeigen des Aktualisierungszustandes der im Daten-RAM 113 abgespeicherten Daten auf. Die Speicherabbildung zwischen dem Cache-Speicher 110, einer herkömmlichen Cache-Speicher-Einrichtung 110 und dem System-Speicher 140 ist in Fig. 2A gezeigt.

In bezug auf Fig. 2A ist der Speicheradreßindex in der Cache-Speicher-Einrichtung genau der gleiche wie der Speicher-Adreß-Index in jedem Speicherblock des Systemspeichers. Daher kann von diesen im Systemspeicher abgespeicherten Daten, deren Speicheradresse den gleichen Speicheradreßindex aufweist, nur ein Satz auf einmal im Daten-RAM der Cache-Speicher-Einrichtung abgespeichert sein. In der Cache-Speicher-Einrichtung ist, wie in Fig. 2B gezeigt ist, jeder Satz von im Daten-RAM abgespeicherten Daten durch Bezugnahme auf die entsprechenden im Tag-RAM abgespeicherten Informationen von den anderen Datensätzen mit identischem Speicheradreßindex, die auch im Systemspeicher abgespeichert sind, unterscheidbar. Die Kombination des Speicheradreßindex eines bestimmten Satzes von im Daten-RAM der Cache-Speicher-Einrichtung abgespeicherten Daten und der entsprechenden im Tag-RAM der Cache-Speicher-Einrichtung abgespeicherten Information stellt die eigentliche Speicheradresse im Systemspeicher dar, die diesen bestimmten Satz von Daten führt. Daher können theoretisch durch Anwenden des vorangehenden Abbildungsverfahrens, das sogenannte Direktabbildungsverfahren, an einer beliebigen Speicheradresse des Systemspeichers abgespeicherte Daten auf die Cache-Speicher-Einrichtung abgebildet werden.

Wenn ein Computersystem läuft, werden Daten zwischen der CPU und der Cache-Speicher-Einrichtung übertragen, d. h., Daten werden durch die CPU aus der Cache-Speicher-Einrichtung ausgelesen und in dieselbe hineingeschrieben. Da nur ein Teil der im Systemspeicher abgespeicherten Daten auf einmal in der Cache-Speicher-Einrichtung abgespeichert werden kann, wird, wenn die CPU an die Cache-Speicher-Einrichtung eine Anfrage zum Zugriff auf einen bestimmten Satz von im Systemspeicher abgespeicherten Daten sendet, die Adresse dieses bestimmten Datensatzes zuerst mit der entsprechenden im Tag-RAM der Cache-Speicher-Einrichtung abgespeicherten Information verglichen, so daß die Anwesenheit von Daten ermittelt wird. Falls das Ergebnis des vorangehenden Vergleichs die Anwesenheit des bestimmten Datensatzes in der Cache-Speicher-Einrichtung mitteilt, werden die Daten durch die CPU wiederge-

wonnen oder aktualisiert. Andernfalls muss die Cache-Speicher-Einrichtung dadurch aufgefrischt werden, daß die angefragten Daten in sie geladen werden.

In Wirklichkeit können, da der Tag-RAM der Cache-Speicher-Einrichtung nur eine begrenzte Anzahl von Bits, für gewöhnlich 7 oder 8 Bits aufweist, nur in einem bestimmten Bereich des Systemspeichers abgespeicherte Daten auf die Cache-Speicher-Einrichtung abgebildet werden. Das heißt, ein Teil des Systemspeichers ist cachebar, wenn die Adressen innerhalb dieses Teils des Systemspeichers auf die Cache-Speicher-Einrichtung abgebildet werden können. Der Rest des Systemspeichers wird dann nicht cachebar genannt.

Der maximale cachebare Bereich des Systemspeichers ist gleich dem Produkt Größe des entsprechenden Cache-Speichers mal zwei hoch Länge des Tag-RAM des Cache-Speichers. Zum Beispiel beträgt, wenn die Größe des Systemspeichers 256 Megabyte (MB) ist und die Cache-Speicher-Einrichtung eine Größe von 512 Kilobyte (kB) aufweist, wobei der Tag-RAM der Cache-Speicher-Einrichtung 8 Bits lang ist, der maximale cachebare Anteil des Systemspeichers 128 MB. Für gewöhnlich erstreckt sich die Verteilung des cachebaren Speichers kontinuierlich innerhalb des unteren Bereichs des Systemspeichers oder des Hauptspeichers. Wie in Fig. 3 gezeigt ist, sind durch eine Cachebarkeitssteuerung die unteren 128 MB 200a des Systemspeichers der Größe 256 MB als cachebarer Speicher eingestellt, und die oberen 128 MB 200b von 128 MB bis 256 MB sind als nicht cachebarer Speicher eingestellt.

Jedoch verwenden Betriebssysteme (OS) manchmal den oberen Bereich 200b des Systemspeichers als Speicher zum Stapeln von Daten oder zum Beibehalten des Status, weshalb die Performanz des Betriebssystems nicht effizient ist, wenn nur der untere Bereich 200a des Systemspeichers cachebar ist.

Im Hinblick auf das Vorangehende ist es wünschenswert, eine Cache-Speicher-Einrichtung zu entwickeln, die die am leichtesten zugänglichen Bereiche des Systemspeichers abbildet, anstelle einen sich kontinuierlich erstreckenden Bereich, nämlich den unteren Bereich des Systemspeichers, abzubilden, so daß die Performanz des Computersystems verbessert ist.

Die Erfindung liefert daher ein Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung, das die begehrtesten Bereiche des Systemspeichers als cachebar einstellt, wobei die cachebaren Speicherabschnitte nicht notwendig innerhalb eines kontinuierlichen Bereiches des Systemspeichers angeordnet sind.

Die Erfindung liefert auch ein Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung, bei der zum Verbessern der Performanz des Computersystems die Bereiche des Systemspeichers, auf die von dem Betriebssystem am häufigsten zugegriffen wird, als cachebar eingestellt werden.

Die Erfindung liefert ferner ein Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung, bei der zumindest ein Teil des oberen Bereichs und ein Teil des unteren Bereichs des Systemspeichers beide als cachebare Bereiche gesetzt sind.

Gemäß dem Vorangehenden liefert die Erfindung ein Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung, die erstens eine Anzahl von einzelnen Bits aus der Speicheradresse eines Speicherraumes auswählt, wobei die ausgewählten Bits als Tags verwendet werden. Das Tag wird dann mittels eines benutzerdefinierten Codierungsprogrammes codiert, so daß eine Konversion gebildet wird, deren Format mit dem Datenformat der Tag-Abbildungstafel kompatibel ist. Falls die Konversion des Tags auf eines der Tags zutrifft, wird der entsprechende Speicherplatz als cacheba-

rer Speicherplatz definiert. Durch passende Definition des Codierungsprogrammes ist es mittels des Verfahrens gemäß der Erfindung möglich, die cachebaren Speicherplätze verstreut im Systemspeicher anzuordnen und die Bereiche, auf die am häufigsten zugegriffen wird, z. B. den obersten und untersten Bereich des Systemspeichers, abzudecken.

Die Erfindung wird in der nachfolgenden detaillierten Beschreibung der bevorzugten Ausführungsform unter Bezugnahme auf die Zeichnung weiter aufgeführt, wobei in der Zeichnung:

Fig. 1 ein schematisches Blockdiagramm einer herkömmlichen Cache-Speicher-Einrichtung eines Computersystems zeigt;

Fig. 2A ein schematisches Blockdiagramm darstellt, das die Datenabbildung zwischen einer Cache-Speicher-Einrichtung und einem Systemspeicher eines Computersystems zeigt;

Fig. 2B ein schematisches Diagramm darstellt, das das Verfahren zum Bestimmen der Speicheradresse innerhalb einer Cache-Speicher-Einrichtung gemäß der entsprechenden Speicheradresse innerhalb des Systemspeichers zeigt;

Fig. 3 ein schematisches Blockdiagramm mit der herkömmlichen Verteilung eines cachebaren Bereichs und eines nicht cachebaren Bereichs eines Systemspeichers zeigt;

Fig. 4 ein schematisches Diagramm zeigt, das die Speicherabbildungstafel und die durch das Streuabbildungsverfahren gemäß einer bevorzugten Ausführungsform der Erfindung definierte entsprechende Verteilung von cachebaren Bereichen innerhalb eines Systemspeichers zeigt; und

Fig. 5 ein schematisches Diagramm zeigt, das ein mögliches Beispiel des Speicherabbildungsverfahrens gemäß einer bevorzugten Ausführungsform der Erfindung veranschaulicht.

Die Erfindung liefert eine neues Speicherabbildungsverfahren zum Definieren mehrerer Speicherblöcke innerhalb eines Speicherraums, z. B. eines Systemspeichers, auf die häufig zugegriffen wird, als cachebare Speicherbereiche, so daß die Effizienz von Speicherzugriffen verbessert wird. Nachfolgend wird eine bevorzugte Ausführungsform der Erfindung im Detail beschrieben.

In einem Speicherraum weist jede Speicheradresse eine Anzahl von Bits auf, wobei die nahe des linken Endes der Speicheradresse angeordneten Bits signifikantere Bits genannt werden. Andererseits werden die nahe des rechten Randes der Speicheradresse angeordneten Bits weniger signifikante Bits genannt. Zum Definieren und Unterscheiden der cachebaren Bereiche und der nicht cachebaren Bereiche voneinander wird bei dem Abbildungsverfahren gemäß der Erfindung eine vorbestimmte Anzahl dieser signifikanteren Bits der Speicheradresse als Verweis auf die Tag-Abbildungstafel verwendet.

Durch die Verwendung eines geeignet gestalteten Codierungsprogrammes können die ausgewählten signifikanteren Bits einer Speicheradresse in einen Satz von Daten konvertiert werden, deren Format zu den in der Tag-Abbildungstafel abgespeicherten Daten kompatibel ist. Falls das codierte Datum zu einem der in der Tag-Abbildungstafel gespeicherten Daten paßt, wird der entsprechende Speicherplatz als cachebar definiert, und andernfalls ist er nicht cachebar. Da die Cachebarkeit eines bestimmten Speicherplatzes durch ein durch den Benutzer eingestelltes Codierungsprogramm definiert ist, kann die Verteilung der cachebaren Bereiche innerhalb eines Systemspeichers durch den Benutzer flexibel definiert werden. Bei dieser bevorzugten Ausführungsform der Erfindung sind der oberste Abschnitt und der unterste Abschnitt eines Systemspeichers als cachebare Bereiche eingestellt, sowie es den Eigenschaften der meisten Computersysteme entspricht. Zusätzlich sind innerhalb des Systemspei-

chers, entsprechend den Abwägungen des Benutzers, andere Abschnitte, die möglicherweise diskret oder verstreut zwischen dem oberen und unteren Abschnitt verteilt sind, auch als cachebare Bereiche eingestellt.

In Fig. 4 ist die Speicherabbildungsbeziehung zwischen der Tag-Abbildungstafel und einem Systemspeicher bei dieser bevorzugten Ausführungsform der Erfindung veranschaulicht, wodurch der Betrieb und die Vorteile der Erfindung weiter beschrieben sind.

Im Falle eines Computersystems mit einem Systemspeicher mit einer Größe von 8 MB ist jede Speicheradresse innerhalb des Systemspeichers 23 Bit lang, die von Bit 0 bis Bit 22 gezählt werden. Dann wird ein Satz von signifikanten Bits einer Speicheradresse A[22:20] als Tag zur Bestimmung der Cachebarkeit von im Systemspeicher gespeicherten Daten verwendet, wobei A[22:20] Bit 22, Bit 21 und Bit 20 aufweist. Die Gesamtgröße des cachebaren Speichers im Systemspeicher ist gleich der Größe des Cachespeichers multipliziert mit  $2^3$ , wobei die Potenz 3 die Anzahl von Bits des Tag A[22:20] ist. Falls der Daten-RAM der Cache-Speicher-Einrichtung eine Größe von 512 kB hat und das Tag dreistellig ist, dann sind 4 MB des gesamten Systemspeichers cachebar.

Für einen Satz von Daten, der drei binäre Bits aufweist, ist die Anzahl der Variationsmöglichkeiten 8, von (0,0,0) bis (1,1,1), wie in Fig. 4 gezeigt ist, und jede Variationsmöglichkeit von A[22:20] paßt jeweils zu einem entsprechenden Speicherblock innerhalb des Systemspeichers, wobei jeder Speicherblock eine Größe von 1 MB hat. Da andererseits die Datenlänge der Tag-Abbildungstafel bei dieser besonderen Ausführungsform auf eine Länge von 2 Bit eingestellt ist, weist die Tag-Abbildungstafel bis zu 4 Sätze von Daten (0,0), (0,1), (1,0) und (1,1) auf. Durch Anwenden eines geeignet gestalteten Codierungsprogrammes zum Konvertieren von A[22:20] kann erreicht werden, daß 4 von 8 konvertierten Datensätzen zu den Datensätzen der Tag-Abbildungstafel, (0,0), (0,1), (1,0) und (1,1) passen. Falls die Konversion der spezifischen Bits einer Speicheradresse, A[22:20], zu einem der Datensätze in der Tag-Abbildungstafel paßt, ist der spezifische Speicherplatz, der abgebildete Speicherplatz, cachebar.

Entsprechend den Eigenschaften der meisten Betriebssysteme weisen die Segmente des Systemspeichers, auf die am häufigsten zugegriffen wird, den obersten Abschnitt und den untersten Abschnitt des Systemspeichers auf. Deshalb werden durch eine geeignete Auswahl der Bezugsbits und durch Verwendung eines geeignet entworfenen Codierungsprogrammes zum Konvertieren des ausgewählten Tags der obere und der untere Randbereich des Systemspeichers, z. B. von 8 MB bis 7 MB und von 1 MB bis 0 MB, als cachebar eingestellt. Das Codierungsprogramm definiert auch die Verteilung der cachebaren Speicherblöcke, die bei dieser besonderen Ausführungsform diskret und verstreut über dem Systemspeicher hinweg verteilt sind, anstatt daß sie kontinuierlich die untere Hälfte des Systemspeichers besetzen. Dabei weist die Verteilung des cachebaren Speichers die Speicherblöcke von 0 MB bis 1 MB, von 3 MB bis 4 MB, von 4 MB bis 5 MB und von 7 MB bis 8 MB auf. Da die Verteilung der cachebaren Speicherblöcke die Speicherplätze, auf die am häufigsten zugegriffen wird, abdeckt, ist die Effizienz des Speicherzugriffs entsprechend verbessert.

Fig. 5 zeigt eine weitere bevorzugte Ausführungsform der Erfindung, bei der der Systemspeicher eine Größe von 512 MB hat und die Datenlänge der Tag-Abbildungstafel 8 Bit beträgt, aber die Größe des Cache-Speichers 128 MB bleibt. Jede Speicheradresse im Systemspeicher ist nun 29 Bit lang, gezählt von Bit 0 bis Bit 28. Bit 20, Bit 21 und Bit 22, A[22:20], sind, wie bei der vorhergehenden bevor-

zugten Ausführungsform der Erfindung beschreiben worden ist, als Tag ausgewählt. Ähnlich wird das 3 Bit lange Tag, A[22:20] durch ein geeignet definiertes Codierungsprogramm wieder codiert, wobei nur 4 der 8 möglichen Kombinationen von A[22:20] in (0,0), (0,1), (1,0) und (1,1) konvertiert werden. Zum Festlegen, ob ein bestimmter Speicherplatz cachebar ist, muß ein weiteres 8 Bit langes Tag gebildet werden. Bei dieser bevorzugten Ausführungsform der Erfindung werden Bit 23 und Bit 28 einer beliebigen Speicheradresse und das Ergebnis der vorangehenden Konversion von A[22:20] davon verwendet. Bit 23 bis Bit 28 einer Speicheradresse im Systemspeicher werden als Bit 2 bis Bit 7 des 8 Bit langen Tag verwendet, und die Konversion von A[22:20] wird zum Ausbilden von Bit 0 und Bit 1 derselben verwendet. Falls die zwei weniger signifikanten Bits des 8 Bit langen Tag, Bit 0 und Bit 1, zu entweder (0,0), (0,1), (1,0) oder (1,1) passen, wird der entsprechende Speicherplatz des Systemspeichers als cachebar eingestellt.

Da Bit 23 bis Bit 28 einer Speicheradresse im Systemspeicher als Teil des 8 Bit langen Tag verwendet werden, ist der Systemspeicher, der eine Größe von 512 MB aufweist, in 26 Speicherabschnitte unterteilt, wobei jeder Speicherabschnitt eine Größe von 8 MB hat. Jeder Speicherabschnitt weist die gleiche Verteilung von cachebaren Speicherblöcken auf. Ähnlich wie bei dem bei der ersten Ausführungsform der Erfindung beschriebenen Abbildungsergebnis sind der oberste, der mittlere und der unterste Bereich jedes dieser 8 MB großen Speicherabschnitte als cachebar eingestellt. Wenn das Computersystem läuft, sind bei dem Systemspeicher als ganzes der oberste 1 MB große Speicherblock und der unterste 1 MB große Speicherblock als cachebar eingestellt. Zusätzlich sind die restlichen cachebaren Speicherblöcke verstreut innerhalb des Systemspeichers verteilt. Die Verteilung cachebarer Speicherblöcke ist entsprechend dem Codierungsprogramm, das durch den Benutzer definiert ist, einstellbar.

Es ist offensichtlich, daß Größe und Anzahl von Speicherblöcken auch durch Auswahl unterschiedlicher Anzahlen von Bezugsbits und der Datenlänge der Tag-Abbildungstafel einstellbar ist, so daß unterschiedlichen Anwendungen und Situationen genügt wird.

Gemäß dem Vorangehenden ist es mittels der Erfindung möglich, die cachebaren Speicherblöcke verstreut innerhalb des Systemspeichers anzuordnen, anstatt sie kontinuierlich vom unteren Rand des Systemspeichers an aufzustapeln. Da die Verteilung der cachebaren Speicherblöcke durch ein benutzerdefiniertes Codierungsprogramm definiert ist, können die Speicherbereiche, auf die am häufigsten zugegriffen wird, der obere und der untere Randbereich des Systemspeichers, als cachebar gesetzt werden, so daß die Effizienz von Speicherzugriffen verbessert wird. Zusätzlich kann durch die Auswahl einer geeigneten Anzahl von Bezugsbits die Größe eines jeden Speicherblocks und die Anzahl von Speicherblöcken eingestellt werden.

#### Patentansprüche

1. Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung zum innerhalb eines Speicherraumes verstreuten Verteilen einer Vielzahl von cachebaren Speicherplätzen, wobei ein oberster Bereich und ein unterster Bereich des Speicherraumes als cachebar gesetzt sind, wobei das Streuabbildungsverfahren die Schritte aufweist:  
Aufnehmen einer Vielzahl von signifikanteren Bits einer Speicheradresse innerhalb des Speicherraumes als Tag;  
Codieren des Bezugs durch Verwendung eines Codierungsprogrammes; und

Vergleichen des codierten Tag mit einer Vielzahl von Tags aus einer Tag-Abbildungstafel, wobei die Tags die cachebaren Speicherplätze abbilden.

2. Streuabbildungsverfahren für eine Cache-Speicher-Einrichtung zum innerhalb eines Speicherraumes verstreuten Anordnen einer Vielzahl von cachebaren Speicherplätzen, wobei das Streuabbildungsverfahren die Schritte aufweist:

Aufnehmen einer Vielzahl von signifikanten Bits einer Speicheradresse innerhalb des Speicherraumes als Tag;  
Codieren des Bezugs durch Verwenden eines Codierungsprogrammes; und

Vergleichen des codierten Tag mit einer Vielzahl von Tags aus einer Tag-Abbildungstafel, wobei die Tags die cachebaren Speicherplätze abbilden.

3. Streuabbildungsverfahren gemäß Anspruch 2, wobei der Schritt des Vergleichens des codierten Tag mit einer Vielzahl von Tags aus der Tag-Abbildungstafel durch die Cache-Speicher-Einrichtung durchgeführt wird.

4. Streuabbildungsverfahren gemäß Anspruch 2, wobei die cachebaren Speicherplätze einen obersten Bereich des Speicherraumes und einen untersten Bereich des Speicherraumes aufweisen.

5. Abbildungsverfahren für eine Cache-Speicher-Einrichtung zum Verteilen einer Vielzahl von cachebaren Speicherplätzen innerhalb eines Speicherraumes, wobei das Abbildungsverfahren die Schritte aufweist:

Erlangen eines Tag, wobei das Tag auf einen Speicherplatz zeigt; und

Vergleichen des Tag mit einer Vielzahl von Tags aus einer Tag-Abbildungstafel, wobei die Tags die cachebaren Speicherplätze abbilden.

6. Abbildungsverfahren gemäß Anspruch 5, wobei das Tag aus einer Vielzahl von signifikanteren Bits der Speicheradresse konvertiert wird.

7. Abbildungsverfahren gemäß Anspruch 6, wobei das Tag durch Verwendung eines benutzerdefinierten Codierungsprogrammes konvertiert wird.

8. Abbildungsverfahren gemäß Anspruch 5, wobei der Schritt des Vergleichens des Tag mit einer Vielzahl von Tags aus der Tag-Abbildungstafel durch die Cache-Speicher-Einrichtung durchgeführt wird.

9. Abbildungsverfahren gemäß Anspruch 5, wobei die cachebaren Speicherplätze einen obersten Bereich des Speicherraumes und einen untersten Bereich des Speicherraumes aufweisen.

Hierzu 4 Seite(n) Zeichnungen

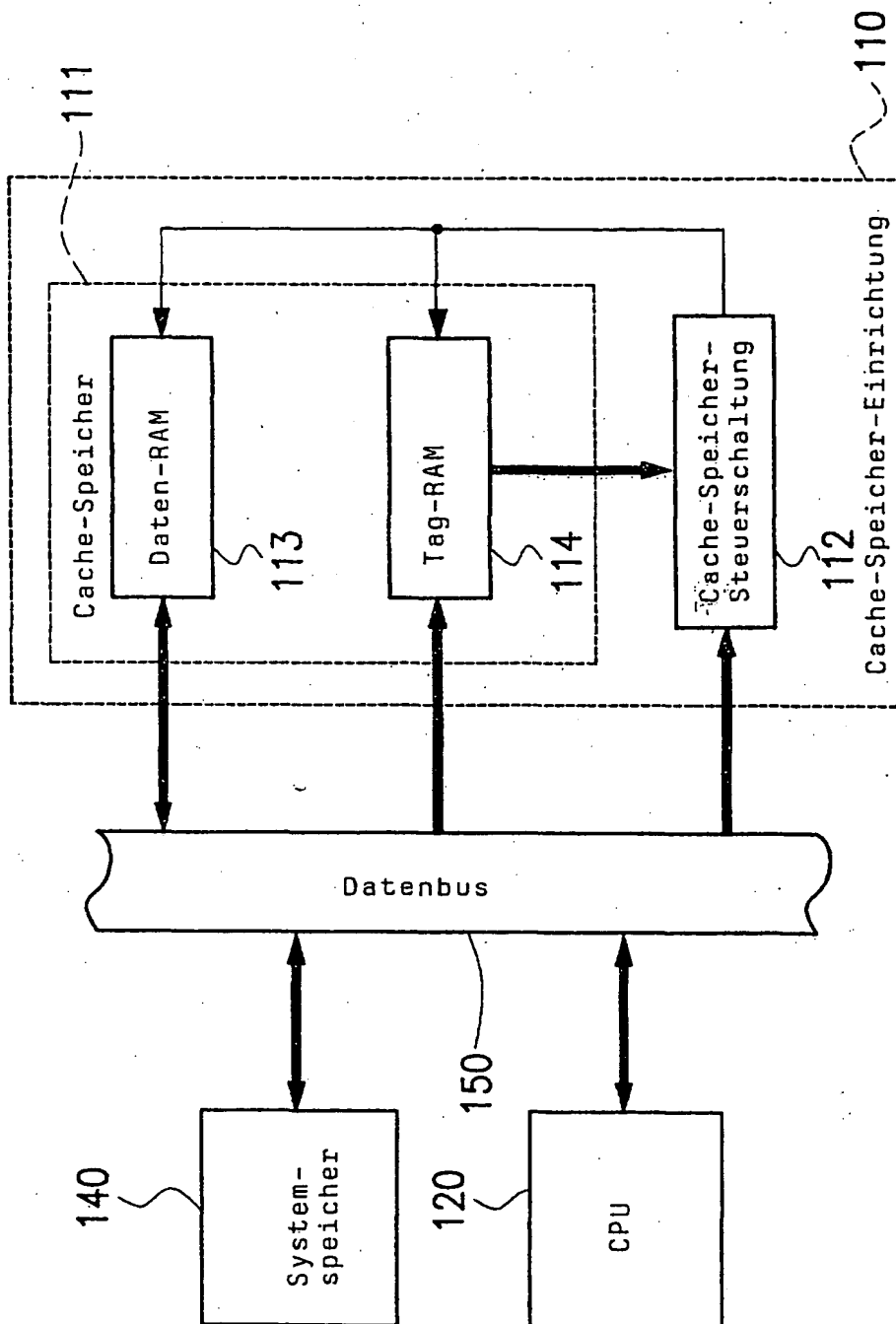


Fig. 1 (Stand der Technik)

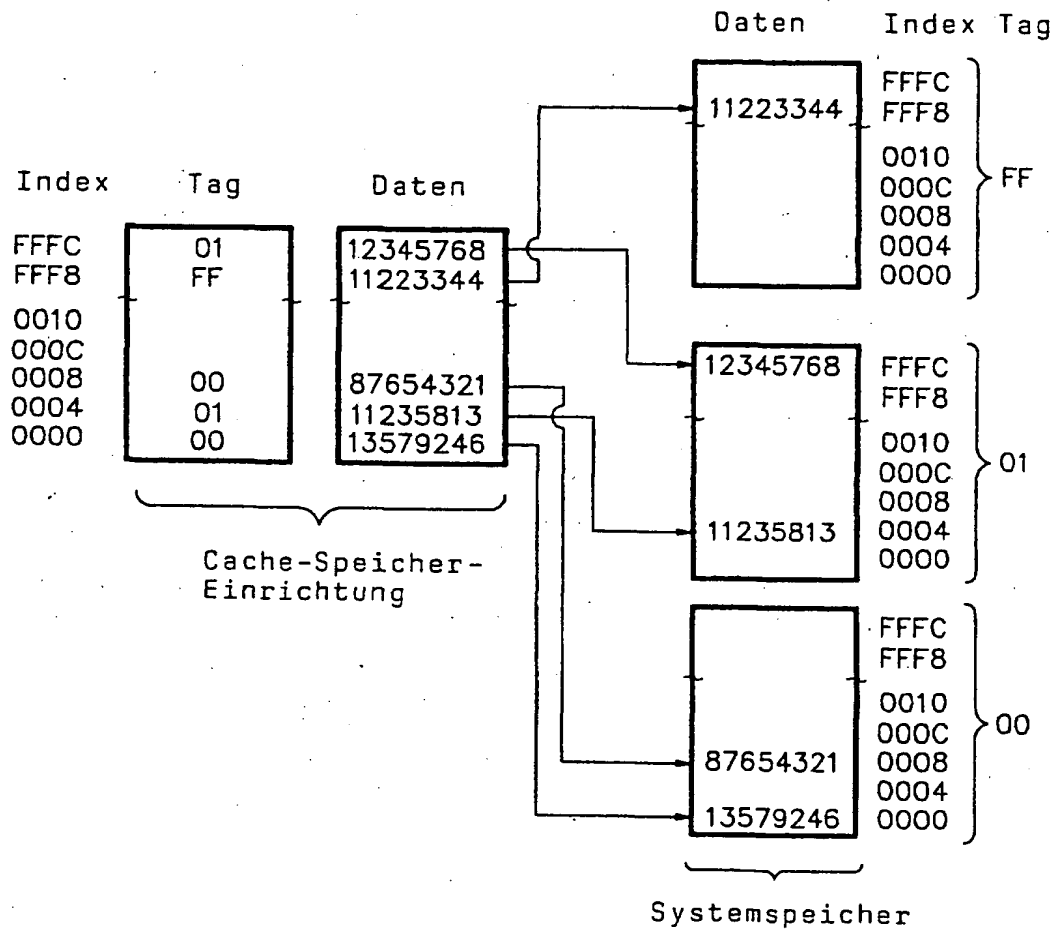


Fig. 2A (Stand der Technik)

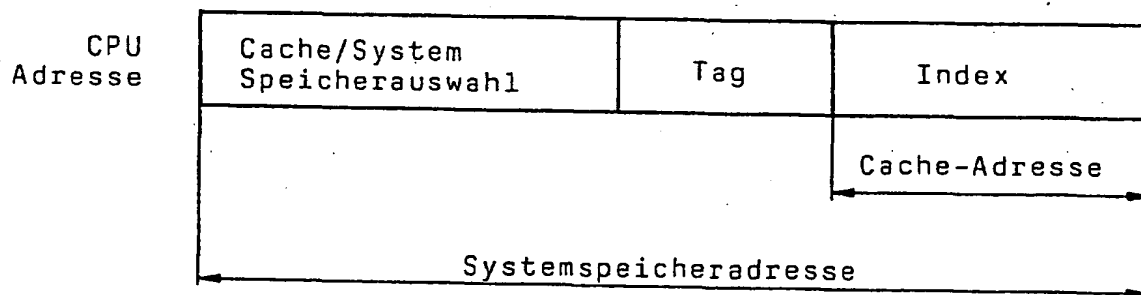


Fig. 2B (Stand der Technik)

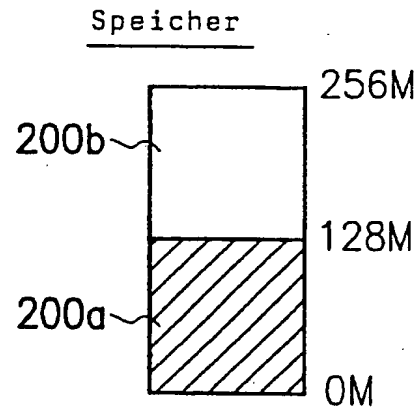


Fig. 3

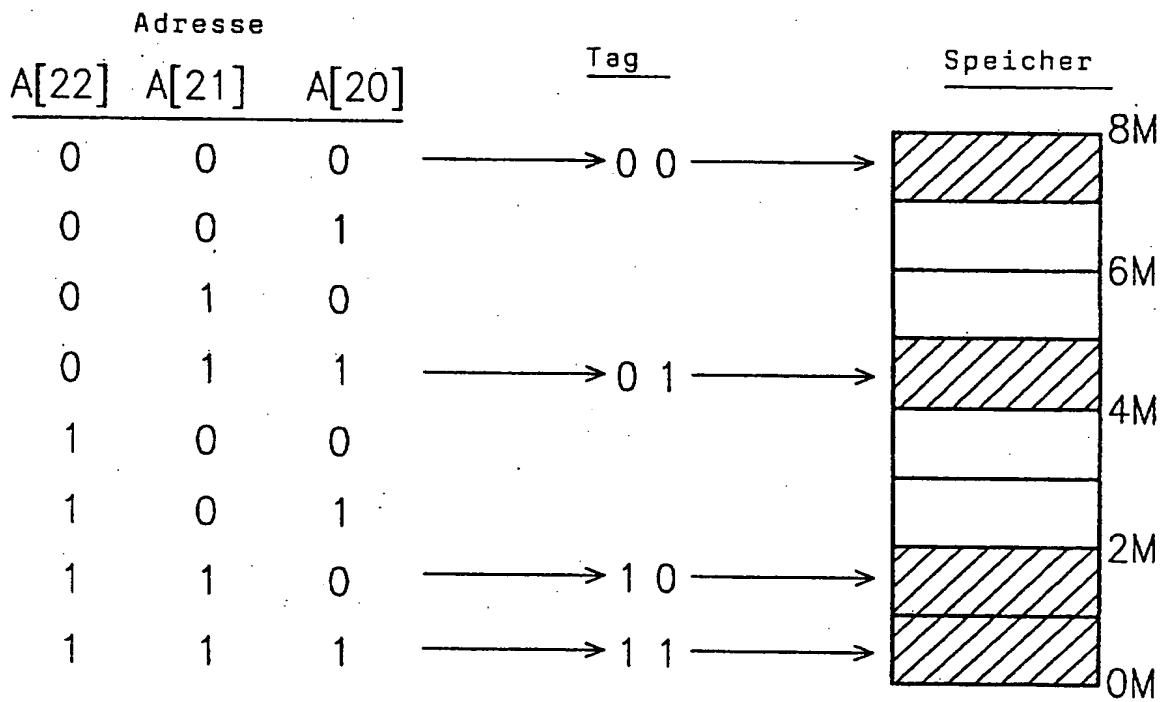


Fig. 4

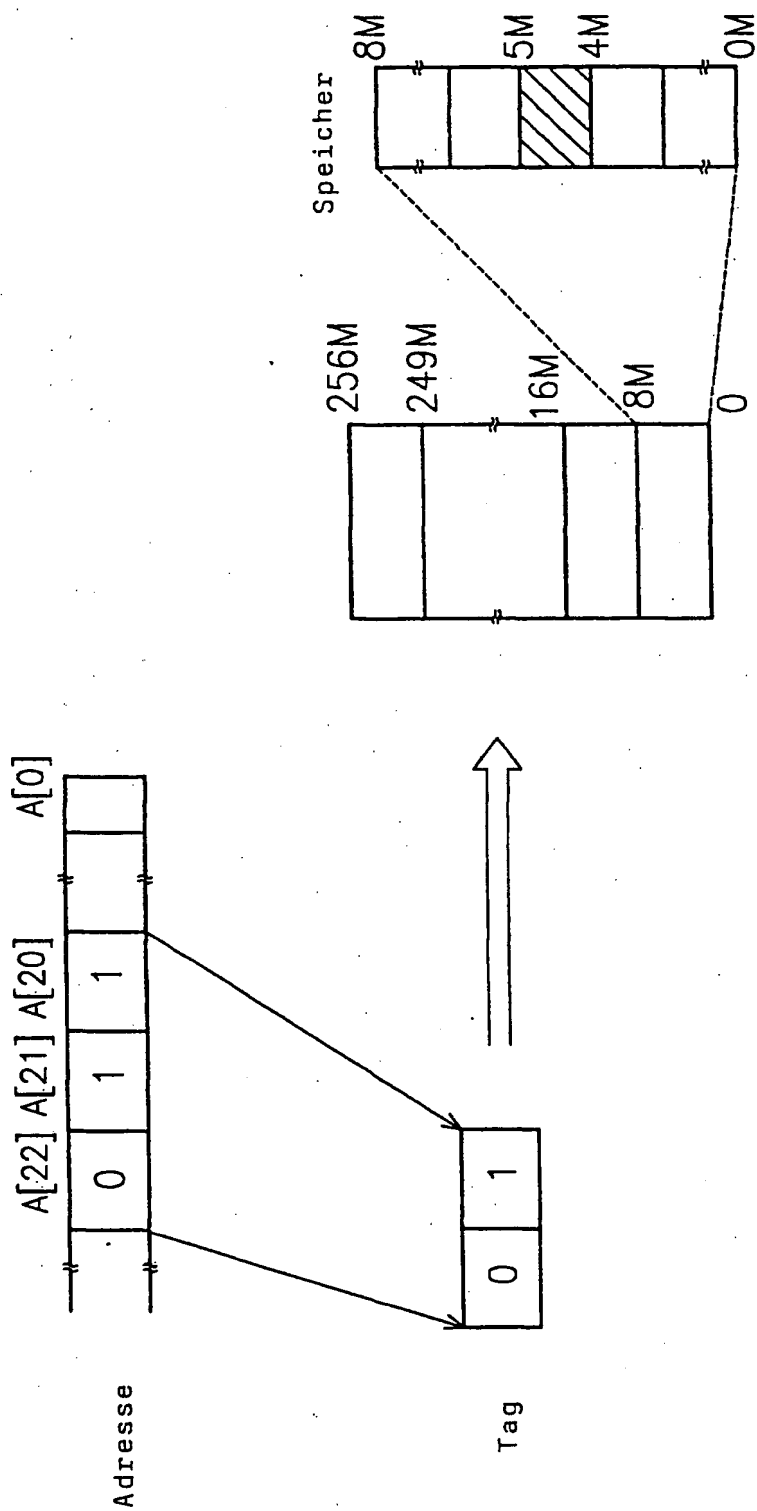


Fig. 5



**Scatter imaging method for cache memory device involves comparing encoded address tag with tags from tag imaging table, whereby tags represent cacheable memory locations**

Patent Number: DE19957810  
Publication date: 2000-09-07  
Inventor(s): CHEN CHIEN-YU (TW); LAI JIIN (TW)  
Applicant(s): VIA TECH INC (TW)  
Requested Patent: ☐ DE19957810  
Application Number: DE19991057810 19991201  
Priority Number(s): TW19990103217 19990303  
IPC Classification: G06F12/08  
EC Classification: G06F12/08B18  
Equivalents: ☐ JP2000259499, TW417048

---

**Abstract**

---

The method involves acquiring a number of more significant bits of a memory address in the memory area as a tag; encoding the reference using an encoding program; and comparing the encoded tag with a number of tags from a tag imaging table, whereby the tags represent the cacheable memory locations.

---

Data supplied from the esp@cenet database - I2